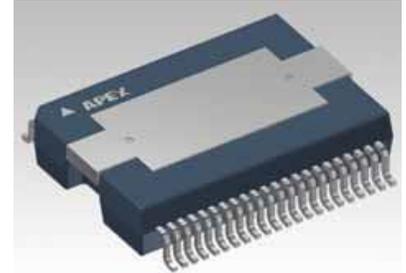


Switching Amplifier

RoHS
COMPLIANT

特徴

- 低コストのインテリジェント・スイッチング・アンプリファイ
- ほとんどの組み込みマイクロコントローラやデジタルシグナルコントローラに直接接続できます。
- デッドタイム発生とシュートスルー防止機能を備えた集積ゲートドライバロジック
- 広い電源範囲 (8.5V~60V)
- 各相のピーク出力電流15A以上
- 各出力の独立した電流検出
- ユーザープログラム可能なサイクルバイサイクルの電流制限保護
- 過電流・過温度警告信号



アプリケーション

- 双方向DCブラシモーター
- 2一方向性DCブラシモーター
- 2独立ソレノイドアクチュエーター
- ステッピングモーター

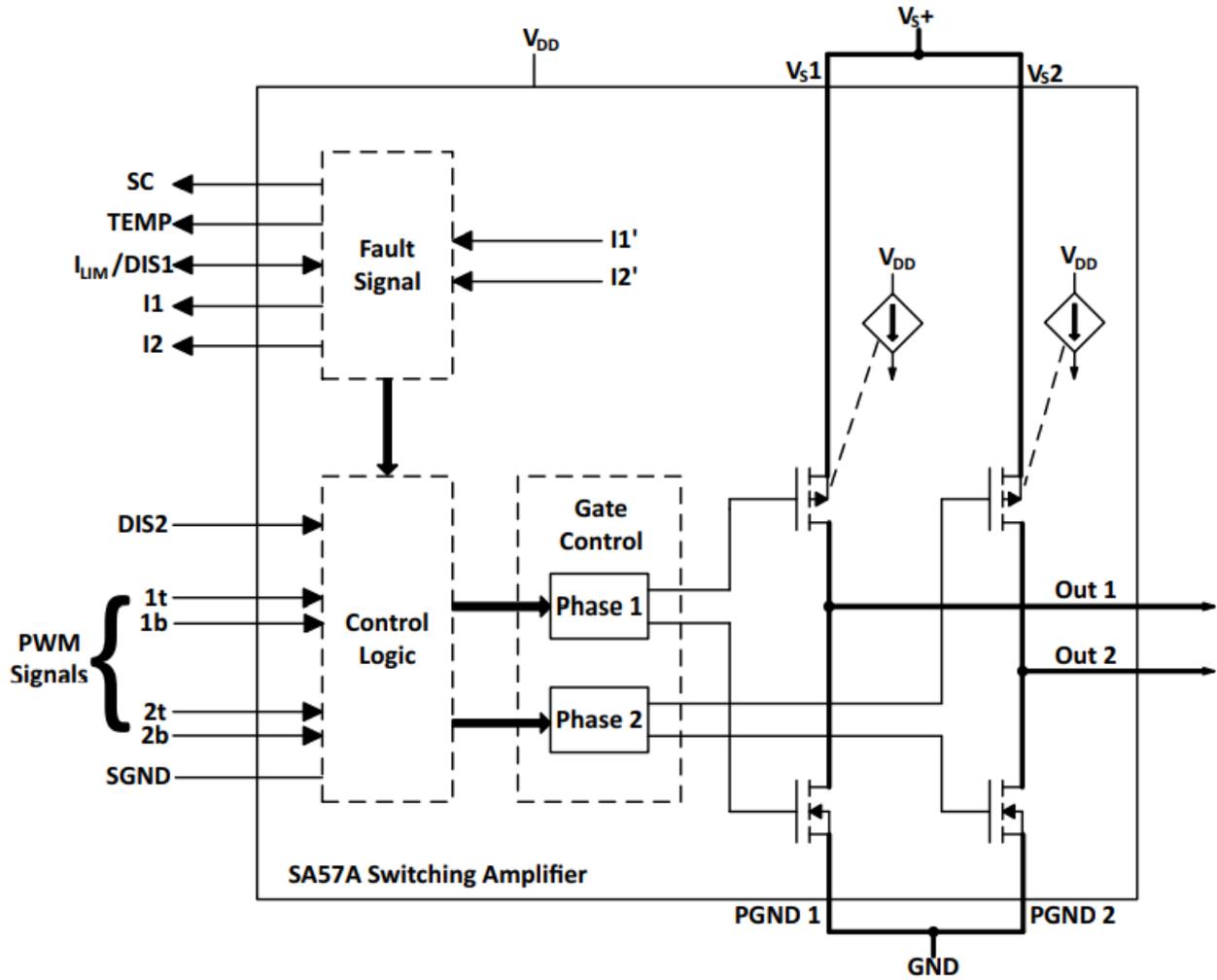
説明

SA57Aは、主にDCブラシモーターを駆動するために設計された完全一体型のスイッチングアンプです。2つの独立したハーフブリッジにより、マイクロコントローラまたはDSCの制御下で15アンペア以上のピーク出力電流を供給します。また、熱および短絡の監視機能を備えており、マイクロコントローラが適切な処置を行うための障害信号を生成します。

さらに、サイクルごとの電流制限により、マイクロコントローラに依存しない、ユーザーがプログラム可能なハードウェア保護を提供します。出力電流は、革新的な低損失技術を用いて測定されます。SA57Aは、CMOSロジック制御とコンプリメンタリーDMOS出力パワーデバイスを同一IC上で実現するマルチテクノロジープロセスを採用しています。また、PチャネルハイサイドFETの採用により、ブートストラップやチャージポンプ回路なしで60V動作が可能です。

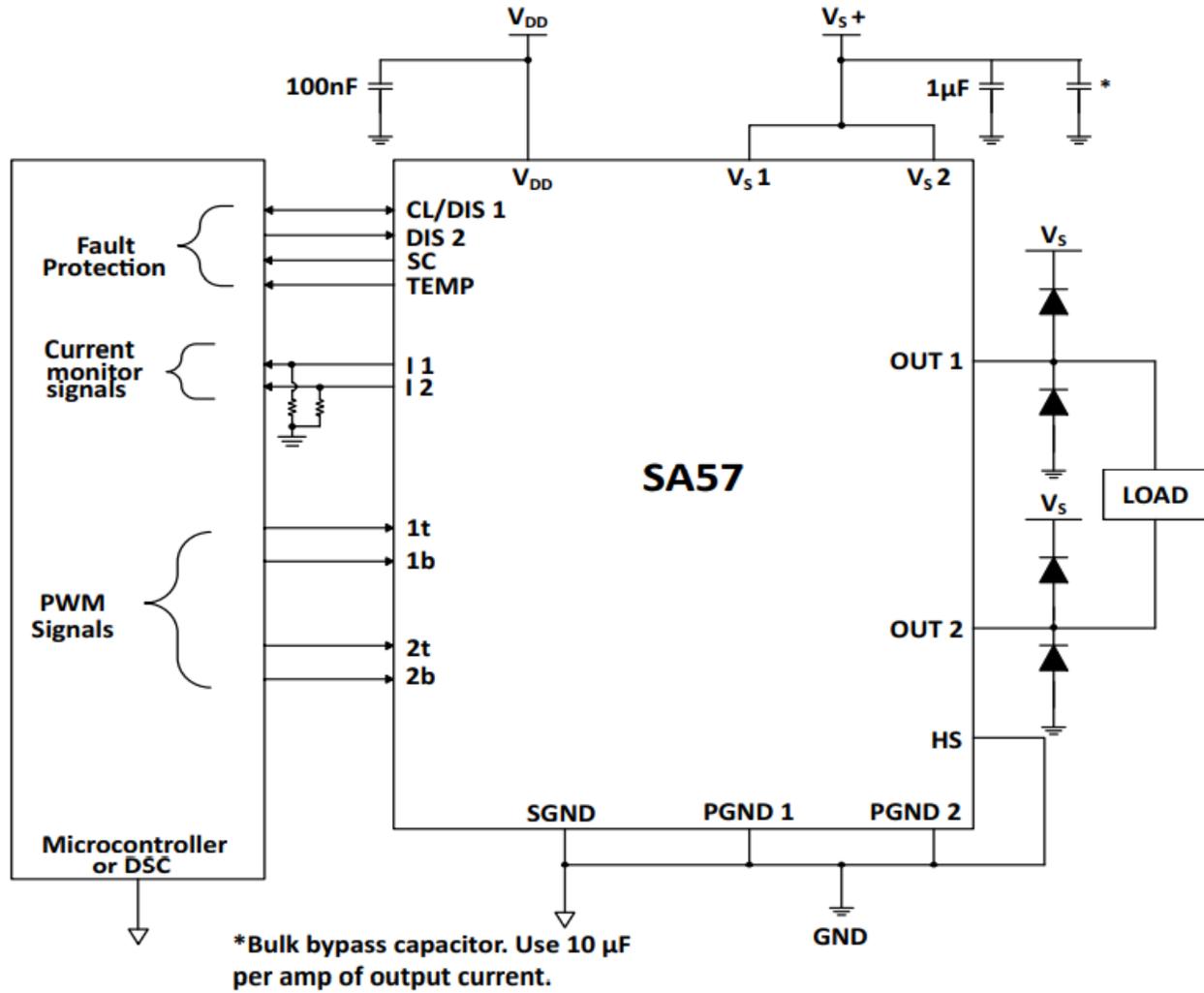
パッケージは、優れた温度特性と低背型表面実装パッケージの利点を両立させたHSOP表面実装パッケージを採用しています。

Figure 1: Block Diagram



代表的な接続例

Figure 2: Typical Connection



ピンアウトと説明の表

Figure 3: 外部接続

<u>1</u>	NC \triangle	HS	<u>44</u>
<u>2</u>	NC	NC	<u>43</u>
<u>3</u>	NC	PGND 2	<u>42</u>
<u>4</u>	NC	PGND 2	<u>41</u>
<u>5</u>	2b	NC	<u>40</u>
<u>6</u>	2t	OUT 2	<u>39</u>
<u>7</u>	I 2	OUT 2	<u>38</u>
<u>8</u>	SC	NC	<u>37</u>
<u>9</u>	SGND	V _{s_2}	<u>36</u>
<u>10</u>	CL/DIS1	V _{s_2}	<u>35</u>
<u>11</u>	SGND	NC	<u>34</u>
<u>12</u>	SGND	NC	<u>33</u>
<u>13</u>	SGND	PGND 1	<u>32</u>
<u>14</u>	1b	PGND 1	<u>31</u>
<u>15</u>	1t	NC	<u>30</u>
<u>16</u>	V _{DD}	OUT 1	<u>29</u>
<u>17</u>	I 1	OUT 1	<u>28</u>
<u>18</u>	DIS2	NC	<u>27</u>
<u>19</u>	TEMP	V _{s_1}	<u>26</u>
<u>20</u>	NC	V _{s_1}	<u>25</u>
<u>21</u>	NC	NC	<u>24</u>
<u>22</u>	NC	HS	<u>23</u>

SA57
Bottom View
(opposite slug)

Pin Number	Name	Description
5	2b	Logic high commands phase 2 lower (bottom) FET to turn on.
6	2t	Logic high commands phase 2 upper (top) FET to turn on.
7	I 2	Phase 2 current sense output. Outputs a current proportional to I_D of the upper (top) FET of channel 2. Connect to a sense resistor to SGND to monitor current.
8	SC	Short circuit output. When a short circuit condition is experienced on either channel, this pin will go high for 200ns. This does not disable the outputs.
9, 11, 12, 13	SGND	Signal ground. Reference all logic circuitry to these pins. Connect to PGND 1 and PGND 2 as close to the amplifier as possible.
10	CL/DIS1	Logic high places both outputs in a high impedance state. Pulling to logic low disables cycle-by-cycle current limit. If unconnected, cycle-by-cycle current limit will be allowed to operate.
14	1b	Logic high commands phase 1 lower (bottom) FET to turn on.
15	1t	Logic high commands phase 1 upper (top) FET to turn on.
16	Vdd	Voltage supply for logic circuit. Connect 5 V supply. The ground terminal of the supply must be connected to SGND.
17	I 1	Phase 1 current sense output. Outputs a current proportional to I_D of the upper (top) FET of channel 1. Connect to a sense resistor to SGND to monitor current.
18	DIS2	Logic high places both outputs in a high impedance state. This pin may be left unconnected.
19	TEMP	This pin will go logic high when the die temperature reaches 135°C. This does not disable the outputs.
23, 44	HS	These pins are internally connected to the heat slug. Connect to PGND. Neither the heatslug nor these pins should carry current.
25, 26	Vs 1	Voltage supply for channel 1.
28, 29	OUT 1	The output connection for channel 1.
31, 32	PGND 1	Power ground. These pins are directly connected to the bottom FET of channel 1. Connect to SGND and PGND 2 as close to the amplifier as possible.
35, 36	Vs 2	Voltage supply for channel 2.
38, 39	OUT 2	The output connection for channel 2.
41, 42	PGND 2	Power ground. These pins are directly connected to the bottom FET of channel 2. Connect to SGND and PGND 1 as close to the amplifier as possible.
All Others	NC	No connection.

端子説明

V_S: 出力トランジスタ用の電源電圧です。これらの端子は、PGND端子とデカップリング（高周波特性の良い1 μ Fのコンデンサを推奨）する必要があります。デカップリングコンデンサは、VS端子とPGND端子のできるだけ近くに配置してください。負荷電流のピークやモーターの回生に対応するため、VSピンには追加の容量が必要です。バイパスコンデンサの選択については、本データシートのアプリケーションの項を参照してください。VSピン29-31はフェーズ1の供給電流のみを流すことに注意してください。ピン46-49は、フェーズ2の電源電流を供給します。第1相は第2相と異なる電源電圧で動作する場合があります。VS電圧（46-49）はいずれも低電圧状態を監視します。

OUT 1, OUT 2: これらのピンは、負荷への電源出力接続部です。注：誘導性負荷を駆動する場合は、スイッチング特性の良い（高速 tRR 仕様）ショットキーダイオードを2個、出力FETの寄生バックボディダイオードと並列になるように各ピンに接続することを推奨します。（2.6項参照）

PGND: パワーグランド。出力FETのグランドリターン接続端子です。負荷からのリターン電流はこのピンを介して流れます。PGNDは内部で数 Ω の抵抗を介してSGNDに接続されています。詳細は、本データシートの「外付けフライバックダイオード」の項を参照してください。

SC: ショートサーキット出力。入力されたコマンドに従わない状態がいずれかの出力で検出された場合、短絡状態であることを示し、SC端子はHighになります。SC信号はスイッチング遷移中に約200nsの間ブランクになりますが、大電流アプリケーションでは、SC端子に短いグリッチが現れることがあります。SC出力がHIGHになっても、デバイスが自動的にディセーブルになることはありません。SC端子には、12k Ω の直列抵抗が内蔵されています。

1b, 2b: これらのシュミットトリガーによるロジックレベル入力は、下側のNチャンネル出力FETをオン/オフする役割を果たします。ロジックハイで下側のNch FETがオンになり、ロジックローで下側のNch FETがオフになります。対応する1tまたは2t入力がハイレベルであると同時に1bまたは2bがハイレベルの場合、保護回路はその出力フェーズでのシュートスルー電流を防ぐために両方のFETをオフにします。また、保護回路には、上下の入力信号が同時に切り替わった場合に、出力にデッドタイムを挿入するデッドタイムジェネレータも含まれています。

1t, 2t: これらのシュミットトリガーによるロジックレベル入力は、関連するトップサイドまたはアッパーPチャンネルFET出力をオン/オフする役割を果たします。ロジックハイで上側のPチャンネルFETがオンになり、ロジックローで上側のPチャンネルFETがオフになります。

I₁, I₂: 電流検出端子です。SA57Aは、その相のトップ側PチャンネルFETに流れる電流に比例した正の電流をこの端子に供給します。PチャンネルFETのバックボディダイオードや外部のショットキーダイオードを介して流れる整流電流は、電流センスピンには登録されません。また、ローサイドのNチャンネルFETを流れる電流は、どちらの方向にも電流検出端子には登録されません。電流センスピンからSGNDに接続された抵抗は、位相電流を表す電圧信号を生成し、プロセッサのADC入力や外部回路でモニターすることができます。

また、電流センス端子は、電流制限の閾値となる電圧基準V_{th}と内部で比較されます。いずれかの電流センスピンの電圧がV_{th}を超えた場合、サイクルごとの電流制限回路が動作します。この機能の詳細は、本データシートのアプリケーションの項に記載されています。

I_{LIM}/DIS1: この端子は、SA57Aのディセーブル回路に直接接続されています。この端子をロジックHにすると、OUT1とOUT2がハイインピーダンス状態になります。また、この端子は、12 k Ω の抵抗を介して電流制限ラッチの出力に内部接続されており、サイクル毎の電流制限機能の動作を監視することができます。この端子をロジックLOWにすると、サイクル毎の電流制限機能が効果的に解除されます。

SGND: ロジック電源端子「VDD」のグランドリターン接続部です。すべての内部アナログおよびロジック

回路がこのピンを参照します。PGNDは、内部で数Ωの抵抗を介してGNDに接続されていますが、できるだけデバイスの近くで、GND端子とPGND端子を外部で接続することを強く推奨します。このようにしないと、立ち上がりや立ち下がりのエッジで出力端子が発振することがあります。

V_{DD}: 5V電源の接続端子で、SA57Aのロジック回路やアナログ回路に電源を供給しています。この端子は、SGND端子とデカップリング（高周波特性の良い0.1μF以上のコンデンサを推奨）する必要があります。

DIS2: DIS2端子は、シュミットトリガによるロジックレベル入力で、HighにするとOUT1とOUT2がハイインピーダンスになります。DIS2には12kΩのプルダウン抵抗が内蔵されていますので、未接続のまま構いません。

TEMP: このロジックレベルの出力は、SA57Aのダイ温度が約135°Cに達するとHighになります。この端子はデバイスを自動的にディセーブルにするものではありません。TEMP端子には12kΩの直列抵抗が内蔵されています。

HS: これらの端子は、パッケージ裏面のサーマルスラグに内部接続されています。これらの端子はGNDに接続してください。ヒートスラグおよびこれらのピンは、大電流を流すために使用してはなりません。

NC: これらの "no-connect" ピンは未接続のままにしておきます。

スペック

すべてのMin/Max特性および仕様は、指定された動作条件で保証されています。代表的な性能特性および仕様は、代表的な電源電圧およびTC = 25°Cでの測定から得られたものです。

絶対最大定格

Parameter	Symbol	Min	Max	Units
Supply Voltage	V_S		60	V
Supply Voltage	V_{DD}		5.5	V
Logic Input Voltage		(-0.5)	($V_{DD} + 0.5$)	V
Output Current, peak, 10ms ¹	I_O		17	A
Power Dissipation, avg. 25°C	P_D		100	W
Temperature, junction ²	T_J		150	°C
Temperature Range, storage		-65	+125	°C
Operating Temperature Range, case	T_C	-40	+125	°C

- 出力電流の定格は、デューティサイクル、周囲温度、ヒートシンクによって制限される場合があります。どのような条件であっても、指定された定格電流またはジャンクション温度150°Cを超えないようにしてください。
- 高温環境下での長期使用は製品寿命を縮める原因となります。高いMTBFを実現するためには、内部の電力消費を抑える必要があります。

ロジック

Parameter	Test Conditions	Min	Typ	Max	Units
Input Low				1	V
Input High		1.8			V
Output Low				0.3	V
Output High		3.7			V
Output Current (SC, Temp, I_{LIM} /DIS1)			50		mA

パワーサプライ

Parameter	Test Conditions	Min	Typ	Max	Units
V_S		UVLO	50	60	V
V_S Undervoltage Lockout, (UVLO)			9		V
V_{DD}		4.5		5.5	V
Quiescent Current, V_S	20 kHz (One phase switching at 50% duty cycle), $V_S = 50V$, $V_{DD} = 5V$		25	30	mA
Quiescent Current, V_{DD}	20 kHz (One phase switching at 50% duty cycle), $V_S = 50V$, $V_{DD} = 5.5V$		5	6.5	mA

電流制限

Parameter	Test Conditions	Min	Typ	Max	Units
Current Limit Threshold (V_{th})			3.95		V
V_{th} Hysteresis			100		mV

アウトプット

Parameter	Test Conditions	Min	Typ	Max	Units
Current, continuous	25°C Case Temperature	8			A
Rising Delay, TD (rise)	See Figure 19		270		ns
Falling Delay, TD (fall)	See Figure 19		270		ns
Disable Delay, TD (dis)	See Figure 19		200		ns
Enable Delay, TD (dis)	See Figure 19		200		ns
Rise Time, t (rise)	See Figure 20		50		ns
Fall Time, t (fall)	See Figure 20		50		ns
On Resistance Sourcing (P-Channel)	5A Load		300	600	mΩ
On Resistance Sinking (N-Channel)	5A Load		250	600	mΩ

サーモグラフィ

Parameter	Test Conditions	Min	Typ	Max	Units
Thermal Warning			135		°C
Thermal Warning Hysteresis			40		°C
Resistance, junction to case	Full temp range		1.25	1.5	°C/W
Temperature Range, case	Meets Specs	-40		+125	°C

典型的なパフォーマンスグラフ

Figure 4: V_S 消費電流

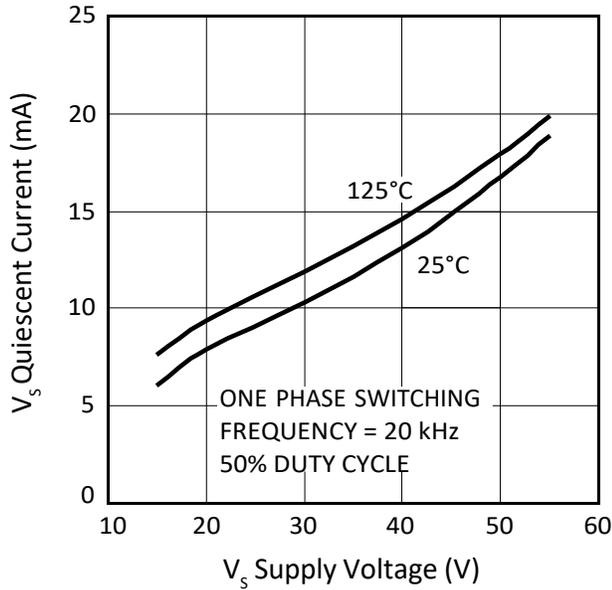


Figure 5: V_S 消費電流

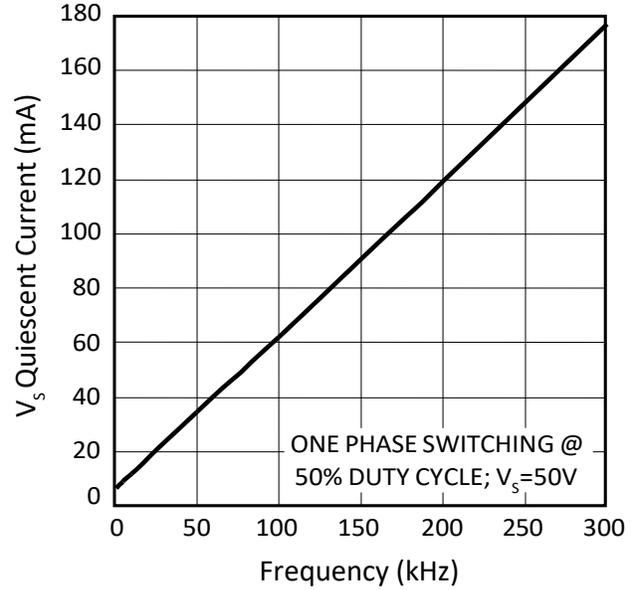


Figure 6: 電流センス

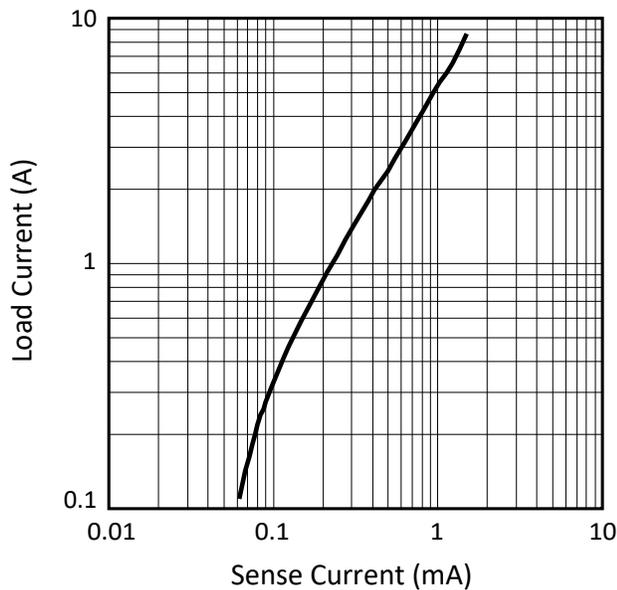


Figure 7: V_{DD} 消費電流

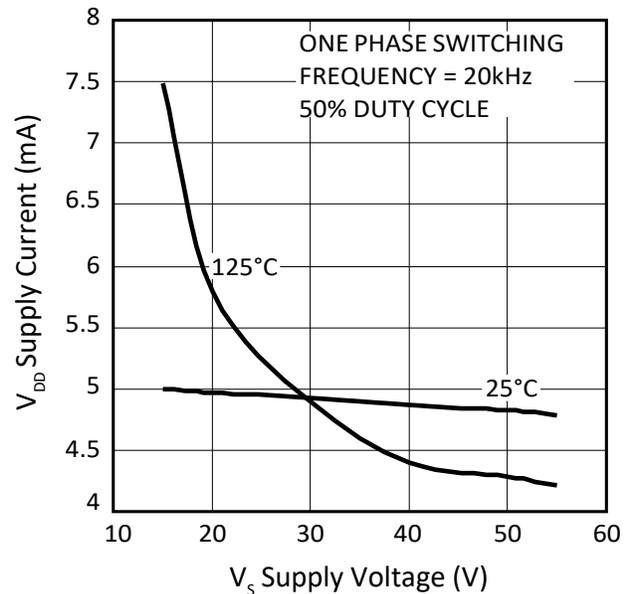


Figure 8: V_{DD} 消費電流

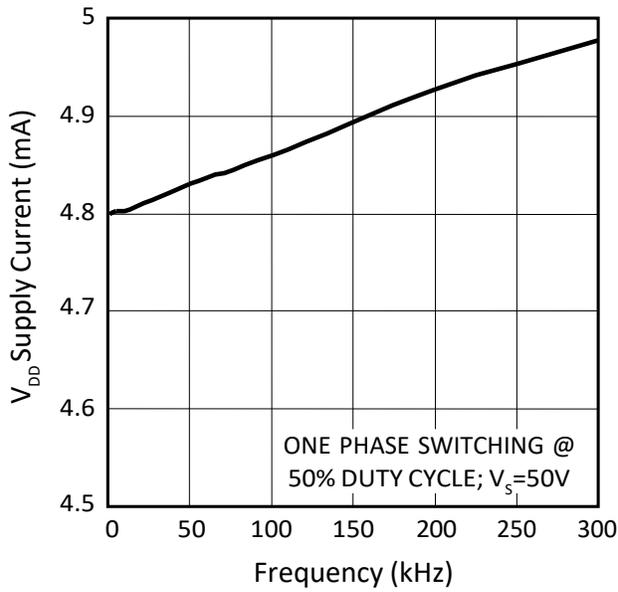


Figure 9: パワーディレーティング

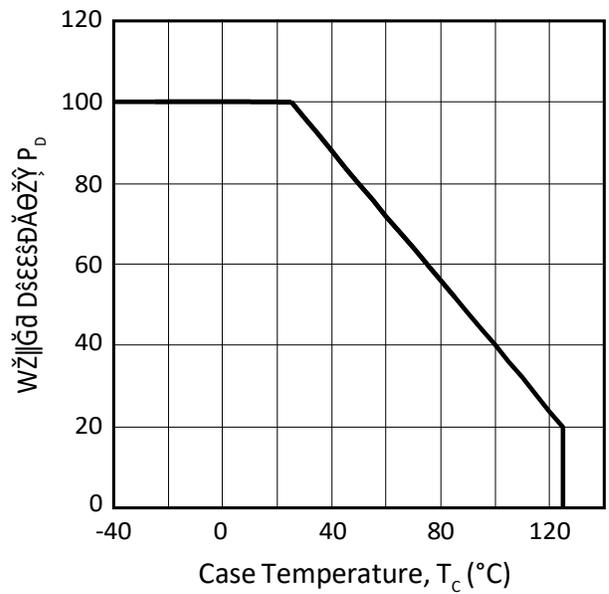


Figure 10: オン抵抗 - 下部FET

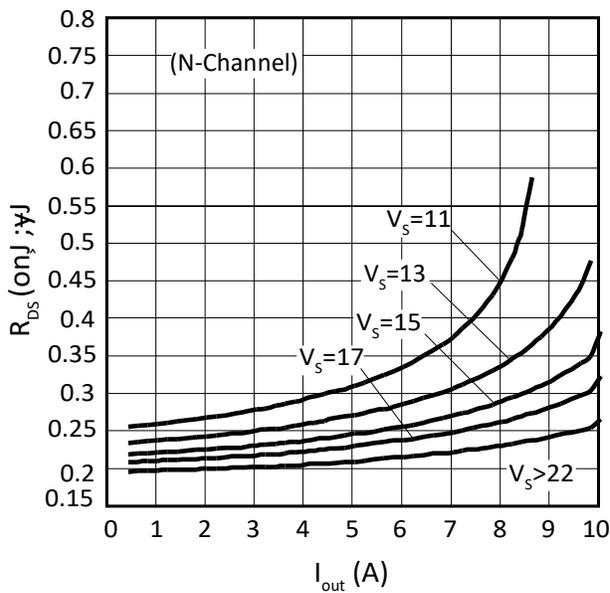


Figure 11: オン抵抗 - トップFET

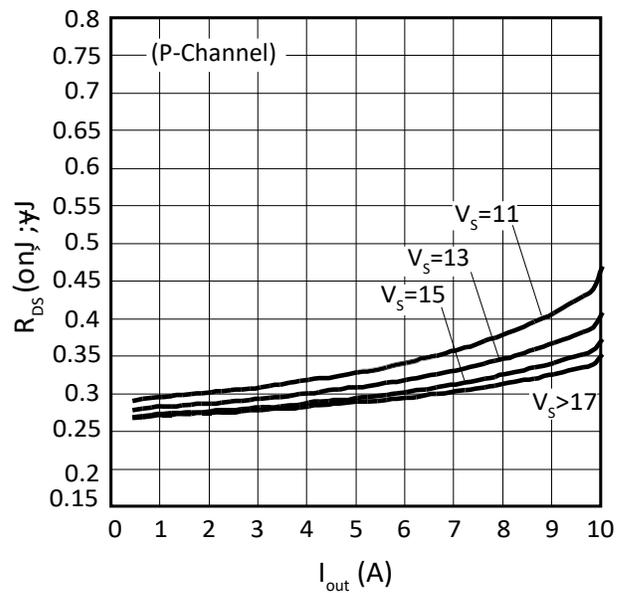


Figure 12: ダイオード順電圧 - 下部FET

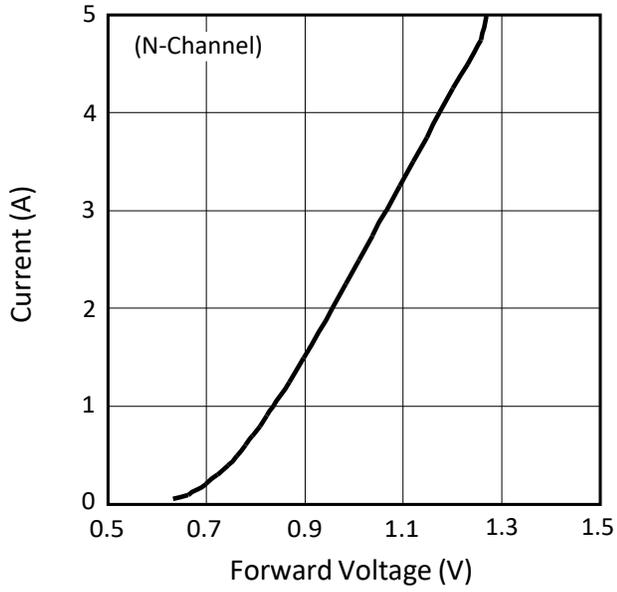
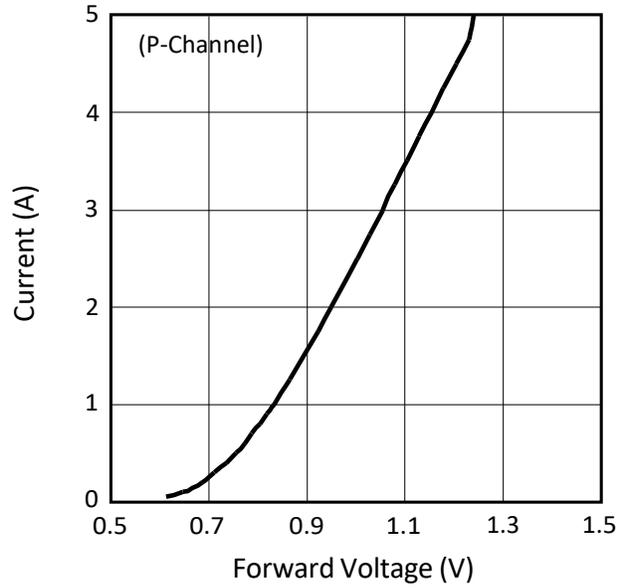


Figure 13: ダイオード順電圧 - トップFET



ジェネラル

アプリケーションノート30「PWMの基礎」をお読みください。安定性、電源、ヒートシンク、実装、電流制限、SOAの解釈、仕様の解釈については、アプリケーションノート1「一般的な動作に関する考察」を参照してください。Apex Microtechnology の完全なアプリケーションノートライブラリ、テクニカルセミナーワークブック、および評価キットについては www.apexanalog.com をご覧ください。

SA57A 操作方法

SA57Aは、主にDCブラシモーターを駆動するために設計されています。しかし、2つの大電流出力を必要とするあらゆるアプリケーションに使用することができます。SA57Aの信号セットは、DSPやマイクロコントローラーとのインターフェースに特化して設計されています。代表的なシステムブロック図を下図に示します。過熱、短絡、電流制限の各フォルト信号は、システム・コントローラに重要なフィードバックを提供し、フォルト状態が発生した場合に出力ドライバを安全に切り離すことができます。両相のハイサイド電流モニターは、トルクの調整や制限に使用できる性能情報を提供します。

Figure 14: システム図

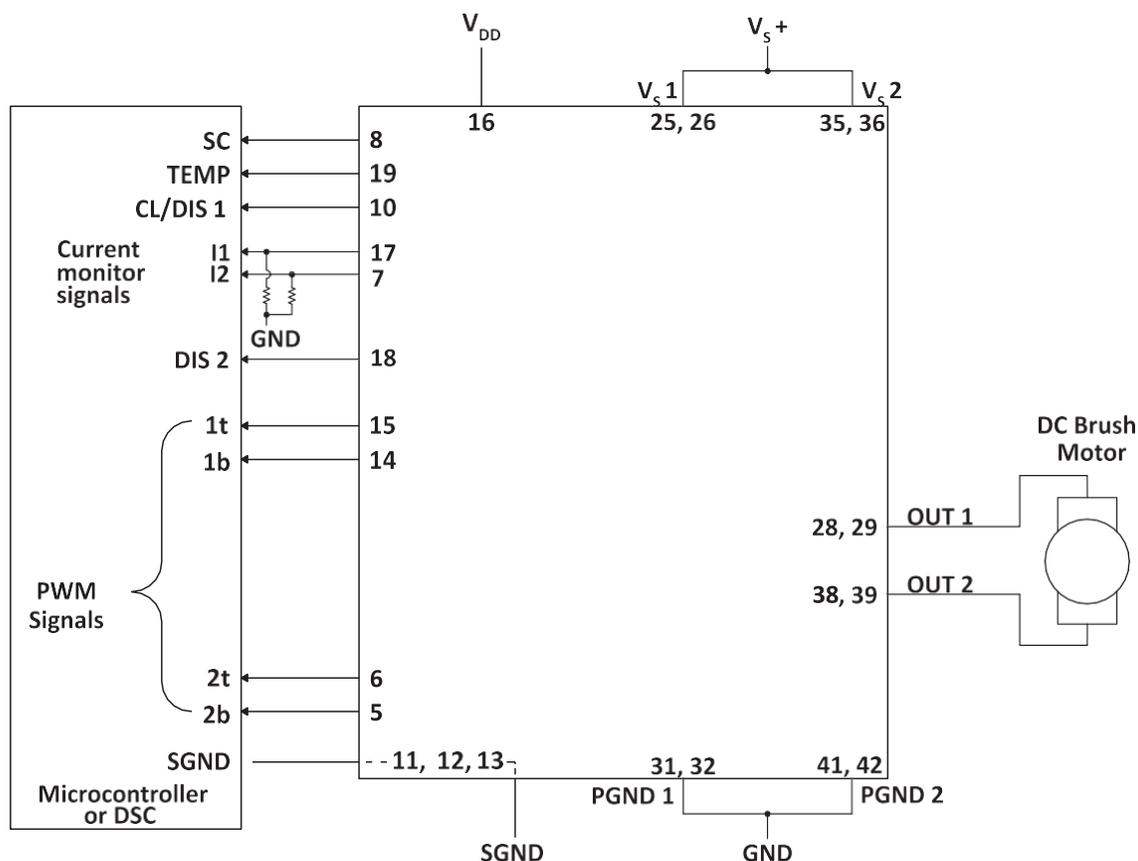
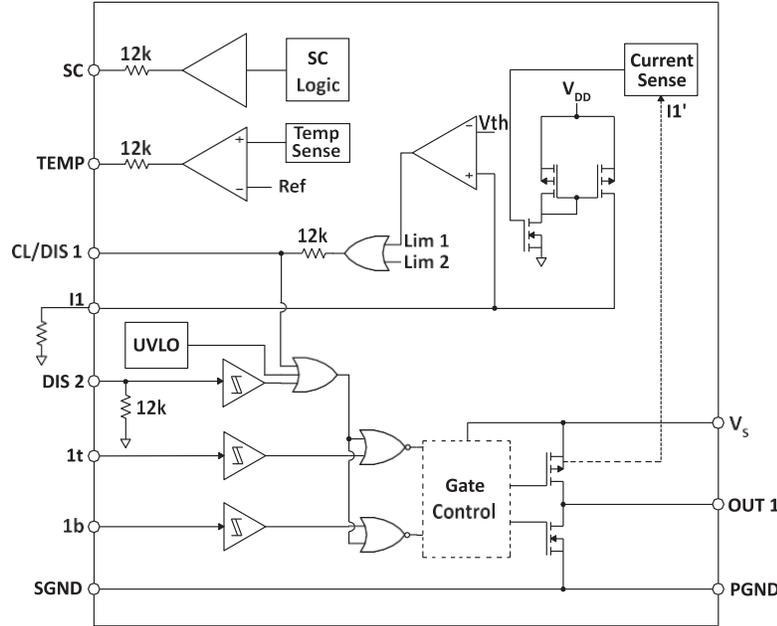


図14のブロック図は、SA57Aの入力構造と出力構造の特徴を示しています。簡単にするために、単相を示しています。

Figure 15: 単相の入出力構造



真実の表

1t, 2t	1b, 2b	I1, I2	I _{LIM} /DIS1	DIS2	OUT 1/OUT 2	Comments
0	0	X	X	X	High-Z	Top and Bottom output FETs for that phase are turned off.
0	1	<V _{th}	0	0	PGND	Bottom output FET for that phase is turned on.
1	0	<V _{th}	0	0	VS	Top output FET for that phase is turned on.
1	1	X	X	X	High-Z	Both output FETs for that phase are turned off.
X	X	>V _{th}	1	X	High-Z	Voltage on I1 or I2 has exceeded V _{th} , which causes I _{LIM} /DIS1 to go high. This internally disables Top and Bottom output FETs for ALL phases.
X	X	X	X	1	High-Z	DIS2 pin pulled high, which disables all outputs.
X	X	X	Pulled High	X	High-Z	Pulling the I _{LIM} /DIS1 pin high externally acts as a second disable input, which disables ALL output FETs.
X	X	X	Pulled Low	0	Determined by PWM inputs	Pulling the I _{LIM} /DIS1 pin low externally disables the cycle-by-cycle current limit function. The state of the outputs is strictly a function of the PWM inputs.
X	X	X	X	X	High-Z	If V _S is below the UVLO threshold all output FETs will be disabled.

レイアウトの考慮事項

dV/dtやdI/dtが非常に高い信号を出力します。適切な配線と適切な電源のバイパス処理により、正常な動作が保証されます。不適切な配線やバイパス処理は、不安定で効率の悪い動作や、出力のリングングの原因となります。

VS電源は、VSピンにできるだけ近い場所に表面実装セラミックコンデンサを取り付けて、バイパスする必要があります。ロジックの制御信号にノイズが混入するのを防ぐため、コンデンサからVS端子およびGND端子までの配線の総インダクタンスは最小限に抑える必要があります。また、出力電流1アンペアあたり10 μ F以上の低ESRコンデンサをSA57Aの近くに配置する必要があります。コンデンサは、スイッチング用途に適したものを選んでください。

VDD電源のバイパス条件はそれほど厳しくありませんが、それでも必要です。0.1 μ F～0.47 μ Fの表面実装型セラミックコンデンサ（X7RまたはNPO）をVDD端子に直接接続するだけで十分です。

SGND端子とPGND端子は内部で接続されています。しかし、これらの端子は、小信号配線の寄生抵抗によって十分な電圧降下が生じ、入力遷移が誤って引き起こされる可能性があるため、ロジックおよび信号グラウンドの配線にモーター電流が流れないように外部に接続する必要があります。また、グラウンドプレーンをパワー部とロジック部に分け、背中合わせのショットキーダイオードで接続する方法もあります。これにより、信号系と電源系のグラウンドトレース間のノイズを分離し、プレーンセクション間の大電流の通過を防ぐことができます。

信号間の誘導結合を最小にするために、上下のPCB平面上の未使用領域をソリッドまたはハッチの銅で埋める必要があります。銅を充填した部分は未接続のままでも構いませんが、グラウンドプレーンの設置を推奨します。

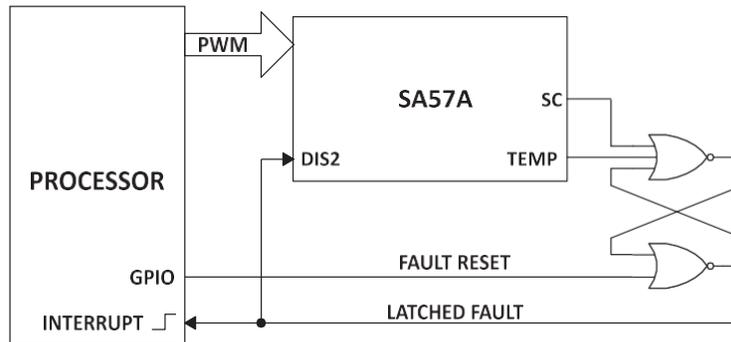
故障表示

過熱または短絡のいずれかの障害の場合、SA57は出力を無効にする動作を行いません。代わりに、SC信号とTEMP信号が外部コントローラに供給され、適切な行動を決定することができます。ほとんどの場合、SCピンはプロセッサのFAULT入力に接続され、直ちにPWM出力が無効になります。一方、TEMP故障の場合はこのような即時性は必要なく、通常はプロセッサのGPIOまたはキーボード割り込みピンに接続されます。この場合、プロセッサはこの状態を外部からの割り込みとして認識し、割り込みサービスルーチンを介してソフトウェアで処理することができます。プロセッサはオプションですべての入力をLowにするか、SA57のディセーブル入力のいずれかにHighレベルをアサートすることができます。

図15は、フォルト表示に応じてすべての出力をハードウェアでシャットダウンする外部SRフリップフロップを示しています。SCまたはTEMPフォルトが発生すると、ラッチがセットされ、ディセーブルピンがハイレベルになります。プロセッサはGPIOでラッチ状態をクリアします。この回路は、セーフティクリティカルなアプリケーションにおいて、ソフトウェアをフォルトシャットダウンープから外すため、あるいは単にプロセッサのオーバーヘッドを減らすために使用することができます。

GPIOを使用できないアプリケーションでは、TEMPピンを隣接するDIS2ピンに外部接続することができます。デバイスの温度が～135°Cに達すると、すべての出力が無効になり、モーターが非通電になります。デバイスの温度が約95°C以下になると、SA57Aはモーターを再起動します。TEMP端子のヒステリシスは、デバイスの寿命を大幅に縮める熱振動の可能性を減らすために広く設定されています。

Figure 16: 外部故障ラッチ回路



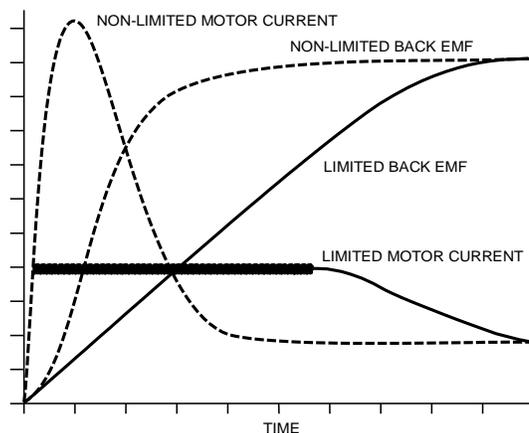
電圧不足ロックアウト

不足電圧ロックアウト条件は、VSが仕様表に示されたUVLO閾値を超えるまで、SA57Aが一方的にすべての出力FETを無効にするというものです。不足電圧ロックアウト条件が進行中であることを示す外部信号はありません。SA57AのVS端子には、1相用と2相用の2つの端子があります。これらのピンの電源電圧は同じである必要はありませんが、どちらかがしきい値を下回るとUVLOが作動します。UVLO回路のヒステリシスは、一般的な電源変動による発振を防ぎます。

カレント・センス

SA57Aでは、外部のパワーシャント抵抗は必要ありません。トップのPチャンネル出力FETの順方向電流を測定し、それぞれの電流センス出力端子I1, I2にミラーリングします。各電流センス端子とグラウンドなどの基準との間に抵抗を接続すると、抵抗にはその相の出力電流に比例した電圧が発生します。ADCは、これらの抵抗器の電圧を監視して保護したり、アプリケーション構成によっては閉ループのトルク制御を行うことができます。電流検出ピンは、VDD電源から電流を供給します。電流センス回路に必要なヘッドルームは約0.5Vです。各比例出力電流の公称スケールファクターは、本データシートの10ページにある典型的な性能プロットに示されています。

Figure 17: 起動時の電圧と電流



サイクルバイサイクルの電流制限

モータの電流を直接制御できないアプリケーションでは、適切なアンプを選択する際に、モータの平均定格電流と突入電流の両方を考慮する必要があります。例えば、連続電流が1Aのモータでは、起動時の突入条件に耐えるために、10Aを大きく超えるピーク電流を供給できるドライブアンプが必要になります。

SA57Aは、各上段出力FETの出力電流を測定することにより、非常に強固な電流制限方式を提供することができます。これにより、SA57AはほぼすべてのDCブラシ・モータを起動時の突入条件で安全かつ容易に駆動することができます。電流が制限されると、始動トルクと加速度も制限されます。図16のプロットは、電流制限を有効にした場合としない場合の始動電流と逆起電力を示しています。

2本の電流センスピンのいずれかの電圧が電流制限のしきい値電圧 (V_{th}) を超えた場合、すべての出力が無効になります。すべての電流センスピンの電圧が V_{th} スレッシュホールド電圧を下回り、問題のある相のトップサイド入力Lowになった後、トップサイド入力コマンド信号 ($1t$ または $2t$) の立ち上がりで、出力段はアクティブ状態に戻ります。ほとんどの整流方式では、電流制限はPWMサイクルごとにリセットされます。この方式では、以下のタイミング図に示されるように、各PWMサイクル中に各相のピーク電流を調整します。平均電流とピーク電流の比率は、モータ巻線のインダクタンス、モータに発生する逆起電力、およびパルスの幅に依存します。

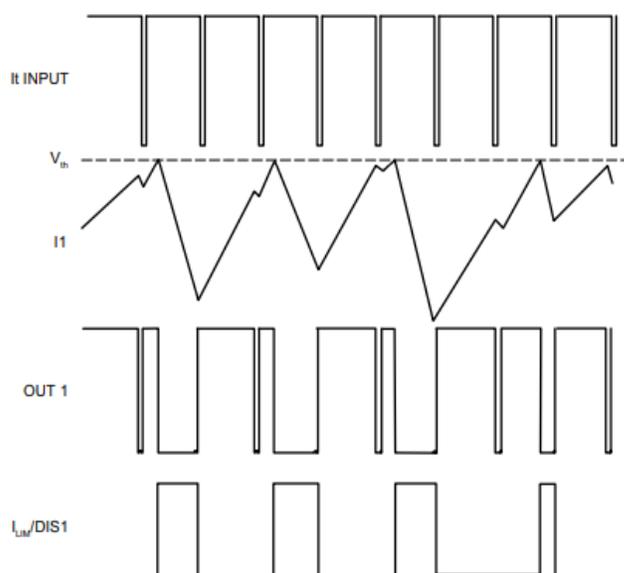
図17は、電流制限のトリガーとリセットのシーケンスを示しています。いずれかの電流センス端子が V_{th} を超えると、電流制限が働き、ILIM/DIS1がHighになります。電流センス信号が V_{th} スレッシュホールドを超えた瞬間は、入力PWM信号とは非同期であることに注意してください。PWM周期とモータ巻線のL/R時定数との差により、サブサイクル発振と呼ばれるビート音が発生することがあります。この振動は、図17のILIM/DIS1端子の波形で確認できます。

デューティサイクルが0%または100%の入力信号は、 $1t$ および $2t$ の立ち上がりエッジがないため、電流制限機能と相容れない場合があります。高回転時には、パフォーマンスの低下を招く可能性があります。低回転時には、電流制限が作動し、電流制限ラッチをリセットする整流エッジがないままモータ電流がゼロになると、モータがストールする可能性があります。

電流制限機能は、ILIM/DIS1ピンをGNDに接続することで無効にすることができます。電流センスピンは、トップFETの出力電流情報を提供し続けます。

通常、電流センスピンは、電流制限コンパレータに電圧を供給する接地された抵抗に電流を供給します。代わりに電流制限抵抗を電圧出力DACに接続すると、システムコントローラから電流制限を動的に制御することができます。これにより、電流制限のしきい値電圧を ($V_{th}-VDAC$) に下げることができます。起動時や反転時など、高いトルクが要求される状況が予想される場合、DACは電流制限を動的に調整し、高電流の期間を可能にします。低電流が予想される非定常動作時には、DAC出力電圧を上昇させて電流制限設定値を下げ、より保守的な故障保護を行うことができます。

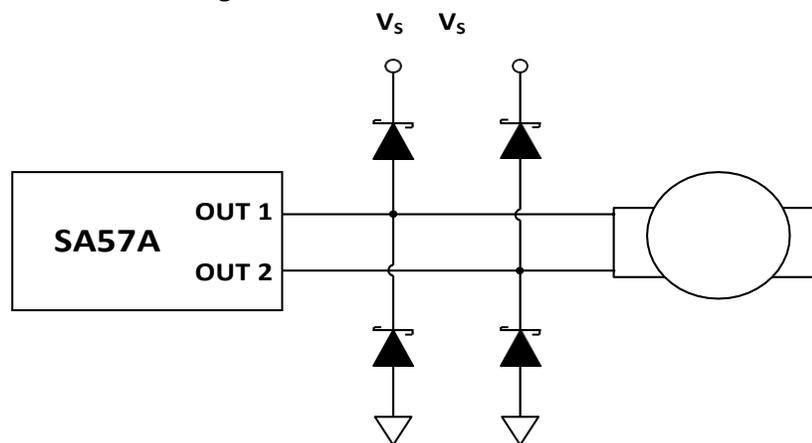
Figure 18: 電流制限波形



外付けフライバックダイオード

外付けフライバックダイオードは、内部のバックボディダイオードよりも優れた逆回復特性と低い順方向電圧降下を提供することになる。大電流アプリケーションでは、外付けフライバックダイオードは、モーター電流の整流時の電力損失と加熱を低減することができます。これらのダイオードを選択する際に考慮すべき最も重要なパラメータは、逆回復時間とキャパシタンスです。超高速整流器は逆回復時間に優れ、ショットキーダイオードは一般的に低キャパシタンスです。これらのダイオードの必要性を判断し、最適なコンポーネントを選択するには、個々のアプリケーションの要件が指針となります。

Figure 19: ショットキーダイオード



パワーディスペンサー

SA57Aの熱強化パッケージでは、2つの出力段で消費される電力を管理するためにいくつかのオプションが用意されています。従来のPWMアプリケーションにおける電力損失は、出力電力損失とスイッチング損失の組み合わせです。出力電力損失は、動作の象限や、逆電流または整流電流を流すために外付けのフライバック・ダイオードを使用するかどうかによって異なります。スイッチング損失は、典型的な性能グラフにあるように、PWMサイクルの周波数に依存します。

Figure 20: タイミングダイアグラム

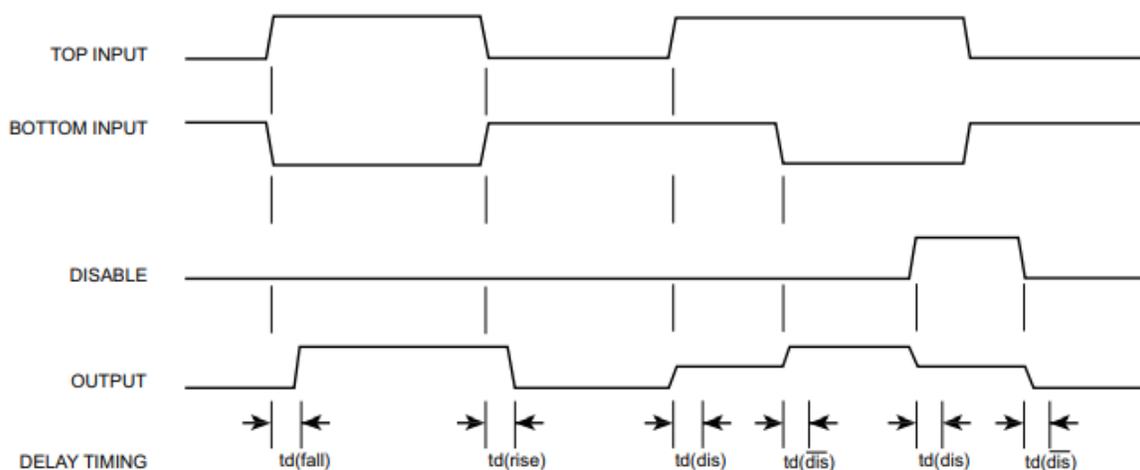
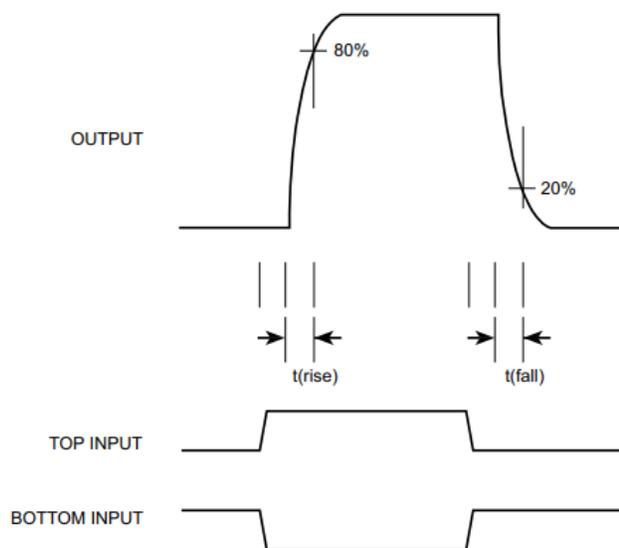


Figure 21: 出力レスポンス



パッケージオプション

Part Number	Apex Package Style	Description
SA57AHU	HU	44-Pin HSOP

NEED TECHNICAL HELP? CONTACT APEX SUPPORT!

For all Apex Microtechnology product questions and inquiries, call toll free 800-546-2739 in North America. For inquiries via email, please contact apex.support@apexanalog.com. International customers can also request support by contacting their local Apex Microtechnology Sales Representative. To find the one nearest to you, go to www.apexanalog.com

IMPORTANT NOTICE

Apex Microtechnology, Inc. has made every effort to insure the accuracy of the content contained in this document. However, the information is subject to change without notice and is provided "AS IS" without warranty of any kind (expressed or implied). Apex Microtechnology reserves the right to make changes without further notice to any specifications or products mentioned herein to improve reliability. This document is the property of Apex Microtechnology and by furnishing this information, Apex Microtechnology grants no license, expressed or implied under any patents, mask work rights, copyrights, trademarks, trade secrets or other intellectual property rights. Apex Microtechnology owns the copyrights associated with the information contained herein and gives consent for copies to be made of the information only for use within your organization with respect to Apex Microtechnology integrated circuits or other products of Apex Microtechnology. This consent does not extend to other copying such as copying for general distribution, advertising or promotional purposes, or for creating any work for resale.

APEX MICROTECHNOLOGY PRODUCTS ARE NOT DESIGNED, AUTHORIZED OR WARRANTED TO BE SUITABLE FOR USE IN PRODUCTS USED FOR LIFE SUPPORT, AUTOMOTIVE SAFETY, SECURITY DEVICES, OR OTHER CRITICAL APPLICATIONS. PRODUCTS IN SUCH APPLICATIONS ARE UNDERSTOOD TO BE FULLY AT THE CUSTOMER OR THE CUSTOMER'S RISK.

Apex Microtechnology, Apex and Apex Precision Power are trademarks of Apex Microtechnology, Inc. All other corporate names noted herein may be trademarks of their respective holders.

パッケージスタイル *hu*

